

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 05267663  
PUBLICATION DATE : 15-10-93

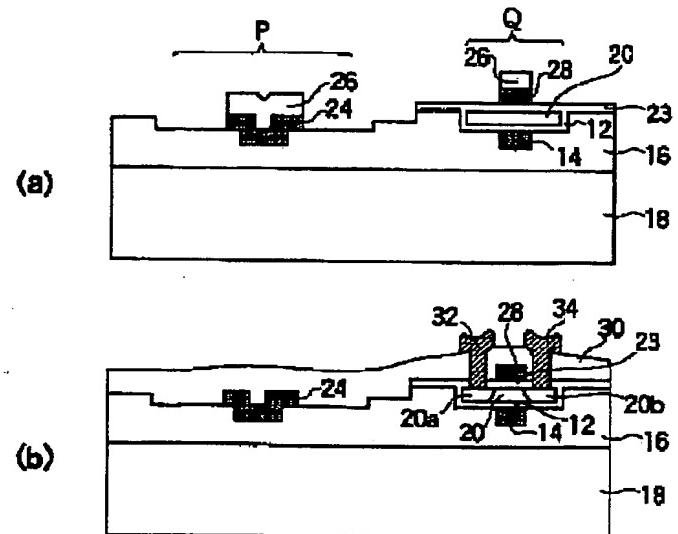
APPLICATION DATE : 17-03-92  
APPLICATION NUMBER : 04059925

APPLICANT : FUJITSU LTD;

INVENTOR : MIURA TAKAO;

INT.CL. : H01L 29/784 H01L 27/12

TITLE : MANUFACTURE OF  
SEMICONDUCTOR DEVICE



**ABSTRACT :** PURPOSE: To form a front gate electrode without positional deviation from a back gate electrode, regarding the manufacturing method of a double gate structure MOS transistor provided with a front gate electrode and a back gate electrode.

CONSTITUTION: The uneven shape of a conducting layer for alignment in an alignment mark region P which is formed at the same time as a back gate electrode 14 is set as the reference, and a polycrystalline silicon layer 24 is patterned, thereby forming a front gate electrode 28 aligned with the back gate electrode 14, on a gate oxide film 23 in an element region Q.

COPYRIGHT: (C)1993,JPO&Japio

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-267663

(43) 公開日 平成5年(1993)10月15日

(51) Int.Cl.<sup>5</sup>

H 01 L 29/784  
27/12

識別記号

序内整理番号

F I

技術表示箇所

B

9056-4M

H 01 L 29/78

3 1 1 G

審査請求 未請求 請求項の数1(全6頁)

(21) 出願番号

特願平4-59925

(22) 出願日

平成4年(1992)3月17日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 木本 浩二

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 三浦 隆雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 北野 好人

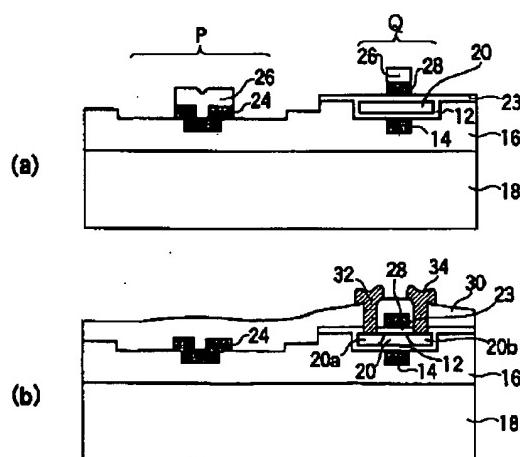
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 本発明は、フロントゲート電極とバックゲート電極を有するダブルゲート構造のMOSトランジスタの製造方法に関し、バックゲート電極と位置ずれすることなくフロントゲート電極を形成することができる半導体装置の製造方法を提供することを目的とする。

【構成】 バックゲート電極14と同時に形成した位置合せマーク領域P内の位置合せ用導電層40による凹凸形状を基準として多結晶シリコン層24をパターニングして、素子領域Qのゲート酸化膜23上にバックゲート電極14と位置合せされたフロントゲート電極28を形成するように構成する。

実施例による半導体装置の製造方法を示す工程図(その5)



20a…ソース領域  
20b…ドレイン領域  
28…フロントゲート電極  
30…酸化膜  
32…ソース電極  
34…ドレイン電極

1

2

## 【特許請求の範囲】

【請求項1】 素子基板表面に第1のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜上に第1の導電層を形成する工程と、

前記第1の導電層をパターニングして、素子領域に第1のゲート電極を形成すると共に、位置合せマーク領域に位置合せ用導電層を形成する工程と、

全面に絶縁膜を形成して、表面を平坦化する工程と、

表面が平坦化された素子基板を、前記絶縁膜が接合されるように支持基板に張り付ける工程と、

前記素子基板を底面からエッティングして前記第1のゲート絶縁膜上に所定厚さの半導体層を残存させる工程と、

前記半導体層表面に第2のゲート絶縁膜を形成する工程と、

前記位置合せマーク領域の前記半導体層を除去する工程と、

全面に第2の導電層を形成する工程と、

前記位置合せマーク領域内の前記位置合せ用導電層による凹凸形状を基準として前記第2の導電層をパターニングして、前記素子領域の前記第2のゲート絶縁膜上に前記第1のゲート電極と位置合せされた第2のゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置、特にフロントゲート電極とバックゲート電極を有するダブルゲート構造のMOSトランジスタの製造方法に関する。

## 【0002】

【従来の技術】 従来のダブルゲート構造のMOSトランジスタの製造方法を図6乃至図8を用いて説明する。まず、シリコン基板10表面の位置合せマーク領域Pと素子領域Q以外の領域を約150nm深さだけエッティングする。続いて、熱酸化により全面に約50nm厚のゲート酸化膜12を形成する(図6(a))。

【0003】 次に、シリコン基板10のゲート酸化膜12上に約300nm厚の多結晶シリコン層を堆積し、パターニングして素子領域Qのゲート酸化膜12上にバックゲート電極14を形成する(図6(b))。次に、CVD法により約2μm厚の酸化膜16を全面に堆積させ、上面を約1μm研磨して表面を平坦にする(図6(c))。

【0004】 次に、シリコン基板10を反転させ、支持基板18に平坦化された酸化膜16が接合されるようにシリコン基板10を機械的に張り合わせ約1100℃で約2時間アニールして接着する(図7(a))。次に、シリコン基板10を底面から選択研磨により、ゲート酸化膜12の部分まで薄くする。これにより位置合せマーク領域Pと素子領域Qのゲート酸化膜12上に薄いシリ

10

20

30

40

50

コン層20が形成される(図7(b))。

【0005】 次に、素子領域Qをレジスト層22によりマスクして、反応性イオンエッチングにより位置合せマーク領域Pの酸化膜16を選択的にエッチングし、シリコン層20を露出させる(図7(c))。次に、レジスト層22を除去した後に、露出したシリコン層20の表面に熱酸化によりゲート酸化膜23を形成し、続いて、全面に多結晶シリコン層24を堆積し、多結晶シリコン層24上にレジスト層26を塗布する(図8(a))。

【0006】 次に、位置合せマーク領域Pの露出したシリコン層20による凹凸形状を基準としてバックゲート電極14と位置合せしてレジスト層26をパターニングし、そのレジスト層26をマスクとして多結晶シリコン層24をエッチングして、フロントゲート電極28を形成する(図8(b))。次に、フロントゲート電極28をマスクとしてシリコン層20にイオン注入してソース領域20aとドレイン領域20bを形成する。続いて、全面に酸化膜30を堆積し、コンタクトホールを介してソース領域20a及びドレイン領域20bにコンタクトするソース電極32とドレイン電極34を形成する(図8(c))。

## 【0007】

【発明が解決しようとする課題】 しかしながら、従来の製造方法では、フロントゲート電極28を形成する際に、位置合せマーク領域Pの露出したシリコン層20による凹凸形状を基準としてレジスト層26をパターニングしているため、図8(b)に示すように、バックゲート電極14と位置ずれが生じてしまうという問題点があった。

【0008】 本発明の目的は、バックゲート電極と位置ずれすることなくフロントゲート電極を形成することができる半導体装置の製造方法を提供することにある。

## 【0009】

【課題を解決するための手段】 上記目的は、素子基板表面に第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜上に第1の導電層を形成する工程と、前記第1の導電層をパターニングして、素子領域に第1のゲート電極を形成すると共に、位置合せマーク領域に位置合せ用導電層を形成する工程と、全面に絶縁膜を形成して、表面を平坦化する工程と、表面が平坦化された素子基板を、前記絶縁膜が接合されるように支持基板に張り付ける工程と、前記素子基板を底面からエッティングして前記第1のゲート絶縁膜上に所定厚さの半導体層を残存させる工程と、前記半導体層表面に第2のゲート絶縁膜を形成する工程と、前記位置合せマーク領域の前記半導体層を除去する工程と、全面に第2の導電層を形成する工程と、前記位置合せマーク領域内の前記位置合せ用導電層による凹凸形状を基準として前記第2の導電層をパターニングして、前記素子領域の前記第2のゲート絶縁膜上に前記第1のゲート電極と位置合せされた第2のゲ

ート電極を形成する工程とを有することを特徴とする半導体装置の製造方法によって達成される。

【0010】

【作用】本発明によれば、第1のゲート電極と同時に形成した位置合せマーク領域内の位置合せ用導電層による凹凸形状を基準として第2の導電層をパターニングして、素子領域の第2のゲート絶縁膜上に第2のゲート電極を形成するようにしたので、第1のゲート電極と位置ずれすことなく第2のゲート電極を形成することができる。

10

【0011】

【実施例】本発明の一実施例による半導体装置の製造方法を図1乃至図5を用いて説明する。図6乃至図8における構成要素と同一の構成要素には同一の符号を付している。まず、シリコン基板10表面の位置合せマーク領域Pと素子領域Q以外の領域を約150nm深さだけエッティングする。続いて、熱酸化により全面に約50nm厚のゲート酸化膜12を形成する(図1(a))。

【0012】次に、シリコン基板10のゲート酸化膜12上に約300nm厚の多結晶シリコン層を堆積し、パターニングして素子領域Qのゲート酸化膜12上にバックゲート電極14を形成すると同時に、位置合せマーク領域Pのゲート酸化膜12上に位置合せ用導電層40を形成する(図1(b))。本実施例ではバックゲート電極14と同じマスクを用いてパターニングした位置合せ用導電層40の凹凸形状を用いて後ほどフロントゲート電極の位置合わせをする。

20

【0013】次に、CVD法により約2μm厚の酸化膜16を全面に堆積させ、上面を約1μm研磨して表面を平坦にする(図1(c))。次に、シリコン基板10を反転させ、支持基板18に平坦化された酸化膜16が接合されるようにシリコン基板10を機械的に張り合わせ約1100℃で約2時間アニールして接着する(図2(a))。

30

【0014】次に、シリコン基板10を底面から選択研磨により、ゲート酸化膜12の部分まで薄くする。これにより位置合せマーク領域Pと素子領域Qのゲート酸化膜12上に薄いシリコン層20が形成される(図2(b))。次に、素子領域Qをレジスト層22によりマスクして反応性イオンエッティングにより位置合せマーク領域Pの酸化膜16を選択的にエッティング除去し、シリコン層20を露出させる(図2(c))。

40

【0015】次に、同じレジスト層22をマスクとして反応性イオンエッティングにより位置合せマーク領域Pのシリコン層20を選択的にエッティング除去し(図3(a))、続いて、同じレジスト層22をマスクとして反応性イオンエッティングにより位置合せマーク領域Pのゲート酸化膜12を選択的にエッティング除去し(図3(b))、続いて、同じレジスト層22をマスクとして反応性イオンエッティングにより位置合せマーク領域Pの

位置合せ用導電層40を選択的にエッティング除去して、位置合せ用導電層40による酸化膜16の凹凸形状を露出させる(図3(c))。

【0016】次に、レジスト層22を除去した後に、露出したシリコン層20の表面に熱酸化によりゲート酸化膜23を形成する(図4(a))。次に、全面に多結晶シリコン層24を堆積すると、多結晶シリコン層24に酸化膜16の凹凸形状が転写される(図4(a))。続いて、この転写された多結晶シリコン層24上にレジスト層26を塗布する(図4(b))。

【0017】次に、位置合せマーク領域Pの、位置合せ用導電層40に起因する多結晶シリコン層24の凹凸形状を基準としてバックゲート電極14と位置合せしてレジスト層26をパターニングする(図4(c))。続いて、パターニングされたレジスト層26をマスクとして多結晶シリコン層24をエッティングして、フロントゲート電極28を形成する(図5(a))。なお、位置合せマーク領域Pにも位置合せ用のマークによる多結晶シリコン層24が形成される。

【0018】次に、フロントゲート電極28をマスクとしてシリコン層20にイオン注入してソース領域20aとドレイン領域20bを形成する。続いて、全面に酸化膜30を堆積し、コンタクトホールを介してソース領域20a及びドレイン領域20bにコンタクトするソース電極32とドレイン電極34を形成する(図5(b))。

【0019】このように本実施例によれば、フロントゲート電極28を形成する際に、バックゲート電極14と同時に形成した位置合せ用導電層40に起因する凹凸形状を基準として形成するので、位置ずれを最小限に少なくすることができる。本発明は上記実施例に限らず種々の変形が可能である。例えば、上記実施例では、位置合せマーク領域の位置合せ用導電層を除去した後の酸化膜の凹凸形状を基準としてフロントゲート電極を形成したが、位置合せ用導電層に起因する凹凸形状であればよい。例えば、周囲の酸化膜を除去して位置合せ用導電層を露出させ、露出した位置合せ用導電層の凹凸形状を基準としてフロントゲート電極を形成してもよい。

【0020】

【発明の効果】以上の通り、本発明によれば、第1のゲート電極と同時に形成した位置合せマーク領域内の位置合せ用導電層による凹凸形状を基準として第2の導電層をパターニングして、素子領域の第2のゲート絶縁膜上に第1のゲート電極と位置合せされた第2のゲート電極を形成するようにしたので、第1のゲート電極と位置ずれすることなく第2のゲート電極を形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体装置の製造方法を示す工程図(その1)である。

【図2】本発明の一実施例による半導体装置の製造方法を示す工程図（その2）である。

【図3】本発明の一実施例による半導体装置の製造方法を示す工程図（その3）である。

【図4】本発明の一実施例による半導体装置の製造方法を示す工程図（その4）である。

【図5】本発明の一実施例による半導体装置の製造方法を示す工程図（その5）である。

【図6】従来の半導体装置の製造方法を示す工程図（その1）である。

【図7】従来の半導体装置の製造方法を示す工程図（その2）である。

【図8】従来の半導体装置の製造方法を示す工程図（その3）である。

【符号の説明】

10…シリコン基板

12…ゲート酸化膜  
14…バックゲート電極

16…酸化膜  
18…支持基板

20…シリコン層  
20a…ソース領域  
20b…ドレイン領域

22…レジスト層  
23…ゲート酸化膜  
24…多結晶シリコン層

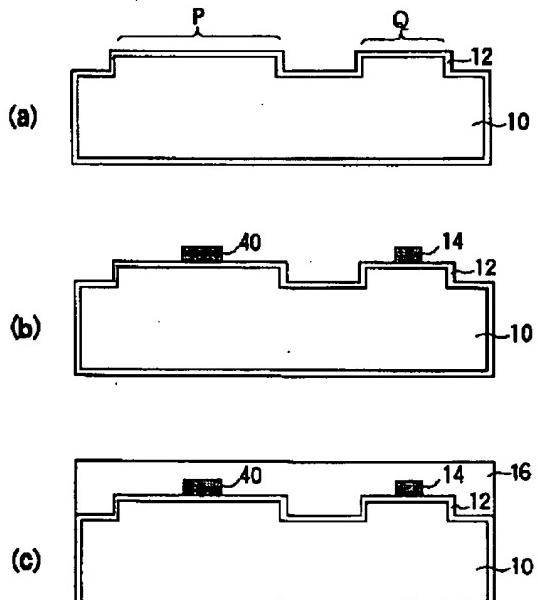
26…レジスト層  
28…フロントゲート電極

30…酸化膜  
32…ソース電極  
34…ドレイン電極

40…位置合せ用導電層

【図1】

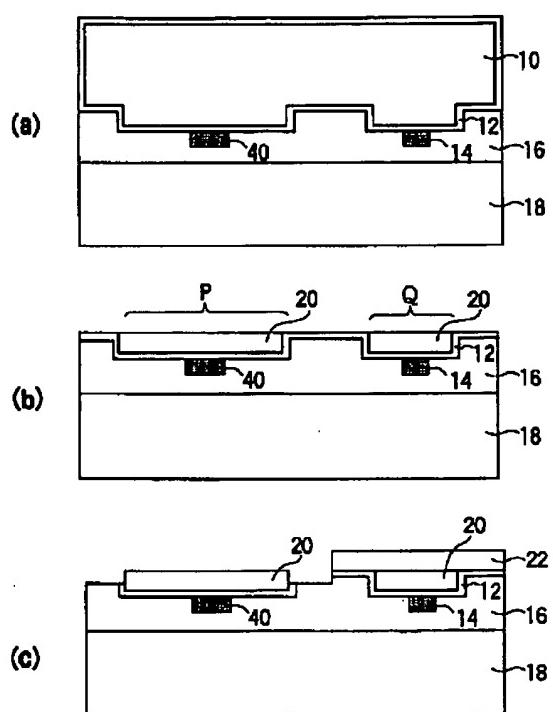
実施例による半導体装置の製造方法を示す工程図（その1）



10…シリコン基板  
12…ゲート酸化膜  
14…バックゲート電極  
16…酸化膜  
20…シリコン層  
22…レジスト層  
40…位置合せ用導電層

【図2】

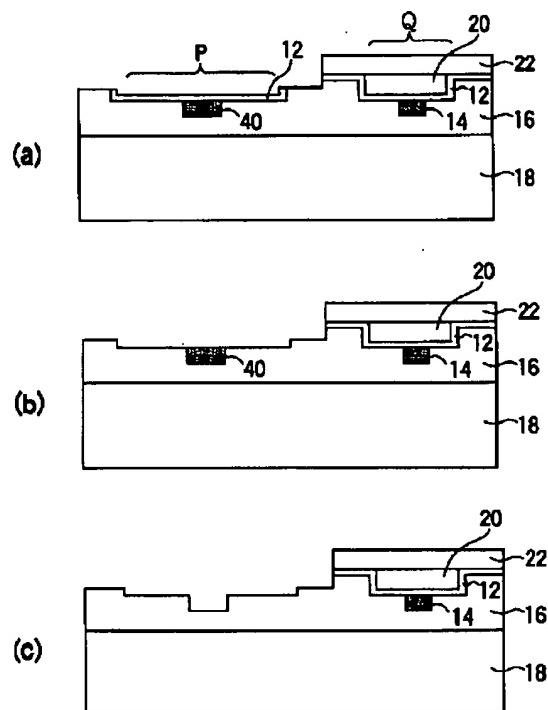
実施例による半導体装置の製造方法を示す工程図（その2）



18…支持基板  
20…シリコン層  
22…レジスト層

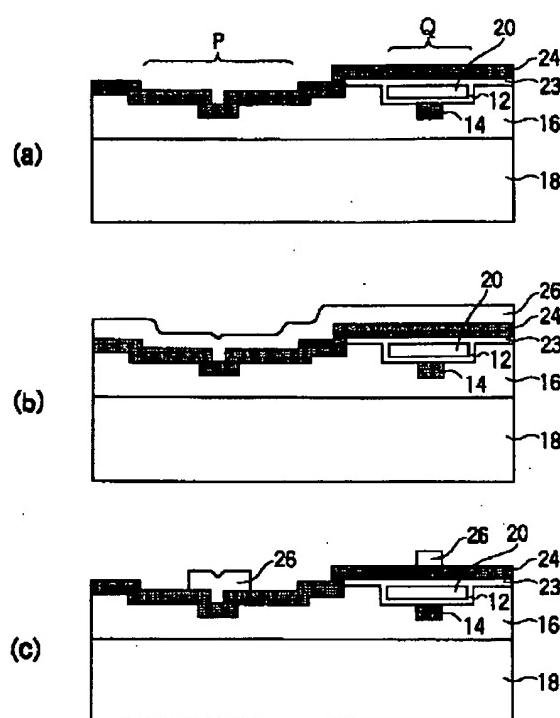
【図3】

実施例による半導体装置の製造方法を示す工程図（その3）



【図4】

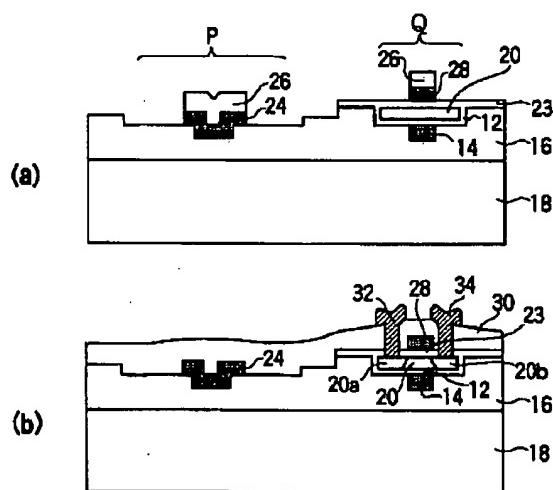
実施例による半導体装置の製造方法を示す工程図（その4）



【図5】

実施例による半導体装置の製造方法を示す工程図（その5）

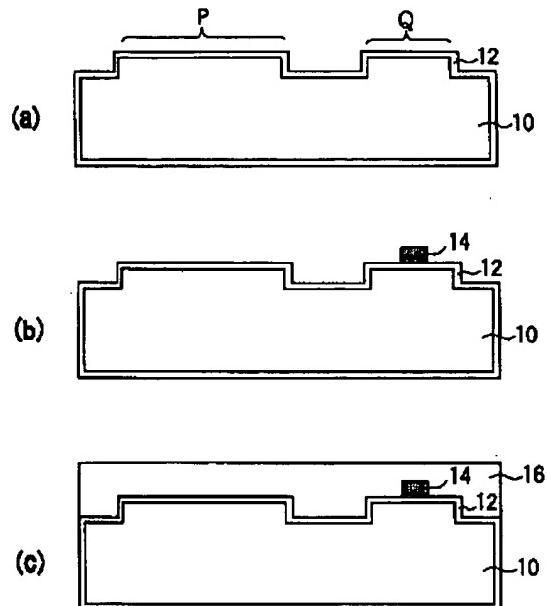
23…ゲート酸化膜  
24…多結晶シリコン層  
26…レジスト層



20a…ソース領域  
20b…ドレイン領域  
28…フロントゲート電極  
30…酸化膜  
32…ソース電極  
34…ドレイン電極

【図6】

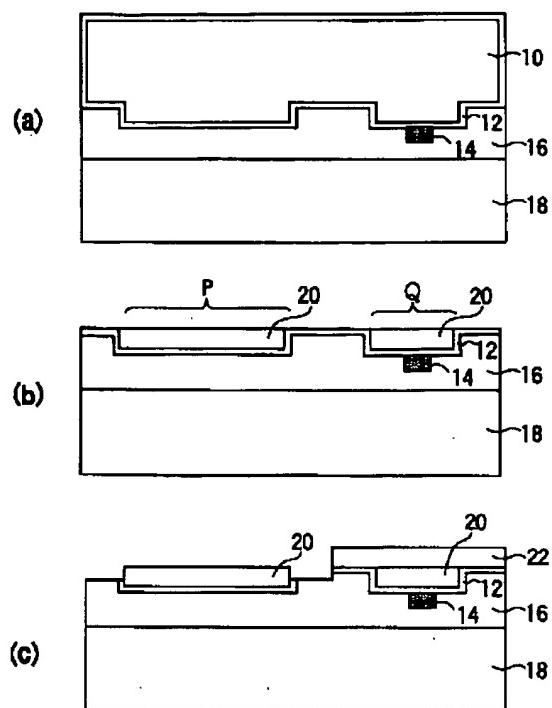
従来の半導体装置の製造方法を示す工程図（その1）



【図8】

【図7】

従来の半導体装置の製造方法を示す工程図（その2）



従来の半導体装置の製造方法を示す工程図（その3）

